

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: **Yoshimasa NAGAKURA et al.**

Serial Number: **Not Yet Assigned**

Filed: **November 13, 2003**

Customer No.: 38834

For: **METHOD FOR FABRICATING A SEMICONDUCTOR DEVICE**

CLAIM FOR PRIORITY UNDER 35 U.S.C. 119

Commissioner for Patents
P. O. Box 1450
Alexandria, VA 22313-1450

November 13, 2003

Sir:

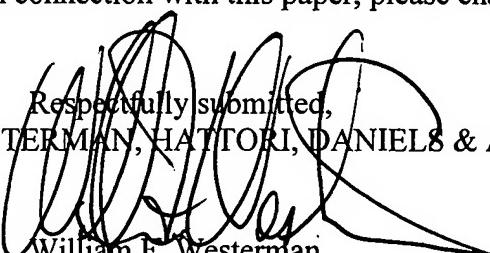
The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

Japanese Appln. No. 2002-331694, filed on November 15, 2002

In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicants have complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 50-2866.

Respectfully submitted,
WESTERMAN, HATTORI, DANIELS & ADRIAN, LLP

William F. Westerman
Reg. No. 29,988

Atty. Docket No.: 032105
Suite 700
1250 Connecticut Avenue, N.W.
Washington, D.C. 20036
Tel: (202) 822-1100
Fax: (202) 822-1111
WFW/yap

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application: 2002年11月15日

出願番号

Application Number: 特願2002-331694

[ST.10/C]:

[JP2002-331694]

出願人

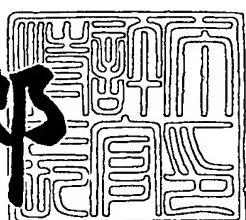
Applicant(s): 富士通株式会社

富士通エイ・エム・ディ・セミコンダクタ株式会社

2003年 1月 7日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2002-3103865

(●)

【書類名】 特許願
 【整理番号】 0200164
 【提出日】 平成14年11月15日
 【あて先】 特許庁長官殿
 【国際特許分類】 H01L 21/316
 【発明の名称】 半導体装置の製造方法
 【請求項の数】 10
 【発明者】
 【住所又は居所】 福島県会津若松市門田町工業団地 6番 富士通エイ・エム・ディ・セミコンダクタ株式会社内
 【氏名】 永倉 良正
 【発明者】
 【住所又は居所】 愛知県春日井市高蔵寺町二丁目 1844番2 富士通ヴイエルエスアイ株式会社内
 【氏名】 大橋 英明
 【特許出願人】
 【識別番号】 000005223
 【氏名又は名称】 富士通株式会社
 【特許出願人】
 【識別番号】 596180124
 【氏名又は名称】 富士通エイ・エム・ディ・セミコンダクタ株式会社
 【代理人】
 【識別番号】 100087479
 【弁理士】
 【氏名又は名称】 北野 好人
 【選任した代理人】
 【識別番号】 100114915
 【弁理士】
 【氏名又は名称】 三村 治彦

【手数料の表示】

【予納台帳番号】 003300

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0012600

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法

【特許請求の範囲】

【請求項1】 成膜室内を第1の圧力に設定した状態で絶縁膜を成長する工程と、

前記成膜室内の圧力を前記第1の圧力より低い第2の圧力まで徐々に低下させる圧力調整工程と、

前記成膜室内の圧力を前記第2の圧力に設定した状態で前記絶縁膜を更に成長する工程と

を有することを特徴とする半導体装置の製造方法。

【請求項2】 請求項1記載の半導体装置の製造方法において、

前記圧力調整工程では、前記成膜室内の雰囲気を不活性雰囲気に置換しながら、前記成膜室内の圧力を前記第1の圧力から前記第2の圧力まで徐々に低下させる

ことを特徴とする半導体装置の製造方法。

【請求項3】 請求項1又は2記載の半導体装置の製造方法において、

前記圧力調整工程では、前記成膜室内の圧力を40 Torr／秒より小さい割合で徐々に低下させる

ことを特徴とする半導体装置の製造方法。

【請求項4】 請求項3記載の半導体装置の製造方法において、

前記圧力調整工程では、前記成膜室内の圧力を5～40 Torr／秒の割合で徐々に低下させる

ことを特徴とする半導体装置の製造方法。

【請求項5】 成膜室内を第1の圧力に設定した状態で絶縁膜を成長する工程と、

前記成膜室内の雰囲気を不活性雰囲気に置換しながら、前記成膜室内の圧力が徐々に低下するように、前記成膜室内の雰囲気を排気する工程と、

前記成膜室内の圧力を前記第1の圧力より低い第2の圧力に設定する圧力調整工程と、

前記成膜室内の圧力を第2の圧力に設定した状態で前記絶縁膜を更に成長する工程と

を有することを特徴とする半導体装置の製造方法。

【請求項6】 請求項5記載の半導体装置の製造方法において、

前記成膜室内の雰囲気を排気する工程では、前記成膜室内の圧力が40Torrより小さい割合で徐々に低下するように、前記成膜室内の雰囲気を排気する

ことを特徴とする半導体装置の製造方法。

【請求項7】 請求項6記載の半導体装置の製造方法において、

前記成膜室内の雰囲気を排気する工程では、前記成膜室内の圧力が5～40Torrの割合で徐々に低下するように、前記成膜室内の雰囲気を排気する

ことを特徴とする半導体装置の製造方法。

【請求項8】 成膜室内を第1の圧力に設定した状態で絶縁膜を成長する工程と、

前記成膜室内の雰囲気を不活性雰囲気に置換する工程と、

前記成膜室内の雰囲気を排気する工程と、

前記成膜室内の圧力を前記第1の圧力より低い第2の圧力に設定する圧力調整工程と、

前記成膜室内の圧力を第2の圧力に設定した状態で前記絶縁膜を更に成長する工程と

を有することを特徴とする半導体装置の製造方法。

【請求項9】 成膜室内を第1の圧力に設定した状態で絶縁膜を成長する工程と、

前記成膜室内の雰囲気を不活性雰囲気に置換しながら、前記成膜室内の雰囲気を排気する工程と、

前記成膜室内の圧力を前記第1の圧力より低い第2の圧力に設定する圧力調整工程と、

前記成膜室内の圧力を第2の圧力に設定した状態で前記絶縁膜を更に成長する工程と

を有することを特徴とする半導体装置の製造方法。

【請求項10】 請求項5乃至9のいずれか1項に記載の半導体装置の製造方法において、

前記圧力調整工程では、前記成膜室内に不活性ガスを導入しながら、前記成膜室内的圧力を前記第2の圧力に設定する

ことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置の製造方法に係り、特に絶縁膜を有する半導体装置の製造方法に関する。

【0002】

【従来の技術】

従来の半導体装置の製造方法においては、ゲート電極や配線等が形成された半導体基板上に、例えばBPSGより成る層間絶縁膜を形成し、この後、高温・長時間のリフロープロセスを行うことにより、層間絶縁膜の表面を平坦化していく。

【0003】

一方、近時では、トランジスタのソース／ドレイン拡散層の表面に、金属シリサイド層を形成する技術が注目されている。金属シリサイドとしては、例えばコバルトシリサイドが注目されている。かかる技術によれば、ソース／ドレインにおけるコンタクト抵抗を低減することが可能となる。

【0004】

しかし、ソース／ドレイン拡散層の表面に、金属シリサイド層を形成する場合には、層間絶縁膜の表面をリフロープロセスにより平坦化することは好ましくない。層間絶縁膜の表面を平坦化するためのリフロープロセスは、800～1000°Cと極めて高温であり、しかも長時間であるため、過度にシリサイド化されてしまうためである。過度にシリサイド化されてしまうと、短絡等の要因となる。

【0005】

そこで、成膜室内、即ちチャンバ内の圧力を常圧より若干低い圧力、即ち、準常圧に設定した状態で層間絶縁膜を成長し、この後、成膜室内の圧力を低く設定した状態で層間絶縁膜を更に成長する技術が提案されている（特許文献1参照）

【0006】

成膜室内の圧力を常圧より若干低い圧力である第1の圧力に設定した状態で層間絶縁膜を成長すると、成膜速度は比較的遅いが、ゲート電極等の間に層間絶縁膜を確実に埋め込むことができる。一方、成膜室内の圧力を低い圧力である第2の圧力に設定した状態で層間絶縁膜を成長すると、速い成膜速度で層間絶縁膜を成長することができる。提案された半導体装置の製造方法によれば、リフローを行うことなく、ある程度平坦な層間絶縁膜を得ることが可能となる。

【0007】

【特許文献1】

特開2001-338976号公報

【特許文献2】

特開平6-140572号公報

【特許文献3】

特開平7-111253号公報

【特許文献4】

特開2001-244264号公報

【0008】

【発明が解決しようとする課題】

しかしながら、提案されている半導体装置の製造方法では、必ずしも十分に平坦な層間絶縁膜を得ることができなかった。

【0009】

本発明の目的は、リフロープロセスを行うことなく、十分に平坦な絶縁膜を形成し得る半導体装置の製造方法を提供することにある。

【0010】

【課題を解決するための手段】

上記目的は、成膜室内を第1の圧力に設定した状態で絶縁膜を成長する工程と、前記成膜室内の圧力を前記第1の圧力より低い第2の圧力まで徐々に低下させる圧力調整工程と、前記成膜室内の圧力を前記第2の圧力に設定した状態で前記絶縁膜を更に成長する工程とを有することを特徴とする半導体装置の製造方法により達成される。

【0011】

また、上記目的は、成膜室内を第1の圧力に設定した状態で絶縁膜を成長する工程と、前記成膜室内の雰囲気を不活性雰囲気に置換しながら、前記成膜室内の圧力が徐々に低下するように、前記成膜室内の雰囲気を排気する工程と、前記成膜室内の圧力を前記第1の圧力より低い第2の圧力に設定する圧力調整工程と、前記成膜室内の圧力を第2の圧力に設定した状態で前記絶縁膜を更に成長する工程とを有することを特徴とする半導体装置の製造方法により達成される。

【0012】

また、上記目的は、成膜室内を第1の圧力に設定した状態で絶縁膜を成長する工程と、前記成膜室内の雰囲気を不活性雰囲気に置換する工程と、前記成膜室内の雰囲気を排気する工程と、前記成膜室内の圧力を前記第1の圧力より低い第2の圧力に設定する圧力調整工程と、前記成膜室内の圧力を第2の圧力に設定した状態で前記絶縁膜を更に成長する工程とを有することを特徴とする半導体装置の製造方法により達成される。

【0013】

また、上記目的は、成膜室内を第1の圧力に設定した状態で絶縁膜を成長する工程と、前記成膜室内の雰囲気を不活性雰囲気に置換しながら、前記成膜室内の雰囲気を排気する工程と、前記成膜室内の圧力を前記第1の圧力より低い第2の圧力に設定する圧力調整工程と、前記成膜室内の圧力を第2の圧力に設定した状態で前記絶縁膜を更に成長する工程とを有することを特徴とする半導体装置の製造方法により達成される。

【0014】

【発明の実施の形態】

本願発明者らは、提案されている半導体装置の製造方法において十分に平坦な

層間絶縁膜が得られない原因について、以下のように鋭意検討を行った。

【0015】

図13は、提案されている半導体装置の製造方法により層間絶縁膜を形成した場合における、層間絶縁膜の膜厚の面内分布を示す平面図である。図13は、半導体ウェハの上面から見た図である。図13では、等高線を用いて膜厚を示している。図13における太い実線は、膜厚1600nmの箇所を示している。成膜装置としては、準常圧CVD (SACVD, Sub Atmospheric Chemical Vapor Deposition) 装置を用いた。図中の+印は、層間絶縁膜の膜厚が1600nmより厚くなっている部分を示している。図中の-印は、層間絶縁膜の膜厚が1600nmより薄くなっている部分を示している。

【0016】

図13から分かるように、提案されている半導体装置の製造方法では、半導体ウェハの一方の側において層間絶縁膜の膜厚が厚くなってしまっており、半導体ウェハの他方の側において層間絶縁膜の膜厚が薄くなっている。

【0017】

図14は、提案されている半導体装置の製造方法により層間絶縁膜を形成した場合における、層間絶縁膜の膜厚の最大値と最小値との差を示すグラフである。横軸は、半導体ウェハの通し番号を示している。縦軸は、層間絶縁膜の膜厚の最大値と最小値との差を示している。◆印は、層間絶縁膜を形成した直後における層間絶縁膜の膜厚の最大値と最小値との差を示している。■印は、層間絶縁膜の表面をCMP法により研磨した後における層間絶縁膜の膜厚の最大値と最小値との差を示している。

【0018】

図14中に◆印で示すように、層間絶縁膜を形成した直後における層間絶縁膜の膜厚の最大値と最小値との差が、比較的大きい。

【0019】

また、図14中に■印で示すように、層間絶縁膜の表面をCMP法により研磨した後では、層間絶縁膜の膜厚の最大値と最小値との差が、著しく拡大している。層間絶縁膜の膜厚の最大値と最小値との差が、層間絶縁膜の表面をCMP法に

より研磨することにより著しく拡大してしまうのは、層間絶縁膜の膜厚の面内分布が図13に示すようになっているためと考えられる。即ち、半導体ウェハの一方の側において層間絶縁膜の膜厚が厚くなっているため、半導体ウェハの他方の側において層間絶縁膜の膜厚が薄くなっているため、CMP装置の特性上、層間絶縁膜の表面を研磨すると、層間絶縁膜の膜厚の最大値と最小値との差が著しく拡大してしまうものと考えられる。

【0020】

図15は、提案されている半導体装置の製造方法により層間絶縁膜を形成した場合における、成膜室内の圧力の測定結果を示すタイムチャートである。

【0021】

提案されている半導体装置の製造方法においては、成膜室内の圧力を常圧より若干低い圧力である第1の圧力に設定した状態で層間絶縁膜を形成し（図15の（1）参照）、成膜室内の雰囲気を排気しながら、成膜室内の圧力を比較的低い圧力である第2の圧力に設定し（図15の（2）参照）、成膜室内の圧力が第2の圧力に設定されている状態で層間絶縁膜を更に成長するが（図15の（3）参照）、図15の（2）のように、成膜室内の圧力を第2の圧力に変化させる際に、成膜室内の圧力が極端に低下してしまっている。

【0022】

提案されている半導体装置の製造方法において、層間絶縁膜の膜厚の最大値と最小値との差が大きく、しかも、層間絶縁膜の膜厚の面内分布が図13に示すようになってしまるのは、成膜室内の圧力を第1の圧力から第2の圧力に変化させる際に、成膜室内の圧力が極端に低下し、しかも成膜室内の雰囲気が不安定になっているためと考えられる。即ち、成膜室内の圧力が極端に低下し、しかも成膜室内の雰囲気が不安定な状態では、層間絶縁膜が不均一に成長してしまうためと考えられる。

【0023】

このような検討結果から、本願発明者らは、成膜室内の圧力が適切な圧力に設定されている状態において層間絶縁膜を成長させ、成膜室内の圧力が低く、しかも、成膜室内の雰囲気が不安定な状態においては層間絶縁膜を成長させないよう

にすれば、十分に平坦な層間絶縁膜を形成し得ることに想到した。

【0024】

〔第1実施形態〕

本発明の第1実施形態による半導体装置の製造方法を図1乃至図10を用いて説明する。図1乃至図5は、本実施形態による半導体装置の製造方法を示す工程断面図である。

【0025】

まず、図1(a)に示すように、例えばシリコンより成る半導体基板10上の全面に、例えば熱酸化法により、シリコン酸化膜12を形成する。シリコン酸化膜12は、フローティングゲート構造のトランジスタのトンネル絶縁膜12(図1(b)参照)となるものである。

【0026】

次に、全面に、例えばCVD(Chemical Vapor Deposition、化学気相堆積)法により、ポリシリコン膜14を形成する。ポリシリコン膜14は、フローティングゲート構造のトランジスタのフローティングゲート電極14(図1(b)参照)となるものである。

【0027】

次に、全面に、例えばCVD法により、シリコン酸化膜16を形成する。シリコン酸化膜16は、フローティングゲート構造のトランジスタの誘電体膜16(図1(c)参照)となるものである。

【0028】

次に、全面に、例えばCVD法により、ポリシリコン膜18を形成する。ポリシリコン膜18は、フローティングゲート構造のトランジスタのコントロールゲート電極18(図1(b)参照)となるものである。こうして、ポリシリコン膜14、シリコン酸化膜16及びポリシリコン膜18よりなる積層膜20が形成される。

【0029】

次に、図1(b)に示すように、積層膜20をパターニングする。こうして、トンネル絶縁膜12上に、フローティングゲート電極14と、誘電体膜16と、

コントロールゲート電極18とを有するフローティングゲート構造のゲート電極22が形成される。

【0030】

次に、例えばスピンドルコート法により、フォトレジスト膜（図示せず）を形成する。この後、フォトリソグラフィ技術を用い、フォトレジスト膜に、ドレイン拡散層26b（図2（b）参照）が形成される領域を開口する開口部（図示せず）を形成する。この後、フォトレジスト膜及びゲート電極22をマスクとして、例えばイオン注入法により、半導体基板10にp型のドーパント不純物を導入する。これにより、p⁻型のポケット領域24が形成される（図2（a）参照）。

【0031】

次に、図2（b）に示すように、ゲート電極22をマスクとして、例えばイオン注入法により、半導体基板10にn型のドーパント不純物を導入する。これにより、n⁺型のソース拡散層26a及びドレイン拡散層26bが形成される。

【0032】

次に、全面に、例えばCVD法により、シリコン酸化膜又はシリコン窒化膜より成る絶縁膜を形成する。この後、絶縁膜を異方性エッチングする。これにより、ゲート電極22の側壁部分にサイドウォール絶縁膜28が形成される（図3（a）参照）。

【0033】

次に、ゲート電極22及びサイドウォール絶縁膜28をマスクとして、半導体基板10にn型のドーパント不純物を高濃度に導入する。これにより、コンタクト層30が形成される。

【0034】

次に、全面に、例えばスパッタ法により、例えばCo（コバルト）より成る金属膜を形成する。金属膜の膜厚は、例えば5nm以上とする。次に、熱処理を行うことにより、金属膜のCoと半導体基板10のSiとを反応させる。こうして、例えばコバルトシリサイド層が形成される。この後、Siと反応しなかった金属膜を除去する。こうして、コバルトシリサイドより成る金属シリサイド層31が形成される。

【0035】

次に、層間絶縁膜を形成するための成膜装置100を用意する。図6は、成膜装置を示す概略図である。成膜装置100は、主として、チャンバ、即ち、成膜室102と、成膜室102内の圧力を測定するための圧力計104と、成膜室102内に半導体基板10を載置するためのサセプタ106と、成膜室102内に原料を供給するため原料供給管108と、成膜室102内に原料を噴射するためのシャワープレート110と、成膜室102内の温度を制御するためのランプヒータ112と、成膜室102内の雰囲気を排気するための排気管114と、排気量を制御するためのスロットルバルブ116とを有している。

【0036】

次に、サセプタ106上に、半導体基板10を載置する。

【0037】

次に、全面に、熱CVD法により、例えばBPSG (Bro-Phospho Silicate Glass) より成る層間絶縁膜32を形成する。層間絶縁膜32は、以下のようにして形成する。図7は、本実施形態による半導体装置の製造方法により層間絶縁膜を形成する際における、成膜室内の圧力を示すタイムチャートである。

【0038】

まず、図7の(1)のように、成膜室102内の圧力を、比較的高い圧力、即ち、常圧より若干低い圧力である第1の圧力に設定する。第1の圧力は、例えば600 Torr程度とする。

【0039】

次に、図7の(2)のように、成膜室102内の圧力を第1の圧力に設定した状態で、成膜室102内に原料ガスを導入することにより、層間絶縁膜32aを成長する(図3(b)参照)。この際に成長する層間絶縁膜32aの膜厚は、例えば300 nm程度とする。第1の圧力は、例えば600 Torr程度とする。成膜室102内の圧力を常圧より若干低い圧力に設定した状態で層間絶縁膜32aを成長するのは、ゲート電極22間に層間絶縁膜32aが確実に埋め込まれるようにするためである。原料ガスとしては、例えばTEOS (Si(OCH₃)₄、ケイ酸エチル)、TEPO (PO(OCH₃)₃、リン酸トリメチル)、及び

、TEB ($B(O\text{C}_2\text{H}_5)_3$ 、ホウ酸トリエチル) を用いる。TEOSガスの流量は、例えば132~198mg/分とする。TEPOガスの流量は、例えば16~24mg/分とする。TEBガスの流量は、例えば40~60mg/分とする。成膜時間は、例えば280~420秒とする。成膜温度は、例えば460~500°Cとする。

【0040】

次に、成膜室102内に原料ガスを導入するのを中止する。

【0041】

次に、図7の(3)のように、成膜室102内に不活性ガスを導入して成膜室内を不活性雰囲気に置換しながら、成膜室102内の圧力を第1の圧力から比較的低い圧力である第2の圧力まで徐々に低下させる。不活性ガスとしては、例えば、Heガス、N₂ガス、又はO₂ガスを用いる。成膜室102内の圧力を徐々に低下させる際に成膜室102内に不活性ガスを導入するのは、成膜室102内の雰囲気が安定していない状態で層間絶縁膜が成長するのを防止することにより、層間絶縁膜の膜厚が不均一になってしまふのを防止するためである。第2の圧力は、例えば200 Torr程度とする。成膜室102内の圧力を徐々に低下させる際には、成膜室102内の圧力を圧力計104により測定しながら、スロットルバルブ116の開度を制御することにより、成膜室102内の圧力を低下させる。成膜室102内の圧力を低下させる割合は、例えば40 Torr/秒より小さい割合とする。40 Torr/秒より小さい割合で徐々に成膜室102の圧力を低下させれば、後述するように、成膜室内102の圧力が極端に低下してしまうのを防止し得るからである。但し、成膜室102内の圧力を低下させる割合があまりに小さいと、長時間をしてしまうため、例えば5~40 Torr/秒程度の割合とすることが望ましい。なお、成膜室102内の圧力を徐々に低下させるのは、成膜室102内の圧力が極端に低下してしまうのを防止するためである。

【0042】

次に、図7の(4)のように、成膜室102内の圧力を比較的低い圧力である第2の圧力に設定した状態で、成膜室102内に原料ガスを導入することにより

、層間絶縁32bを更に成長する。この際に成長する層間絶縁膜32bの膜厚は、例えば1300nm程度とする。成膜室102内の圧力を比較的低い圧力である第2の圧力に設定した状態で層間絶縁膜32bを成長するのは、層間絶縁膜32bを速い成長速度で成長するためである。第2の圧力は、例えば200Torr程度とする。原料ガスとしては、例えばTEOSガス、TEPOガス及びTEBガスを用いる。TEOSの流量は、例えば400～600mg／分とする。TEPOの流量は、例えば32～48mg／分とする。TEBの流量は、例えば132～198mg／分とする。成膜時間は、例えば140～210秒とする。成膜温度は、例えば460～500°Cとする。

【0043】

こうして、層間絶縁膜32が形成される。

【0044】

次に、図4(a)に示すように、例えばCMP(Chemical Mechanical Polishing、化学的機械的研磨)法により、層間絶縁膜32の表面を研磨する。

【0045】

次に、図4(b)に示すように、全面に、例えばプラズマCVD法により、SiO₂より成るキャップ膜34を形成する。

【0046】

次に、全面に、例えばプラズマCVD法により、SiONより成る反射防止膜36を形成する。

【0047】

次に、図5(a)に示すように、フォトリソグラフィ技術を用い、反射防止膜36、キャップ膜34及び層間絶縁膜32に、コンタクト層30に達するコンタクトホール38を形成する。

【0048】

次に、図5(b)に示すように、コンタクトホール38内に、W(タンゲステン)より成る導体プラグ40を埋め込む。

【0049】

次に、反射防止膜36上及び導体プラグ40上に、A1(アルミニウム)より

成る配線42を形成する。

【0050】

次に、全面に、例えばプラズマCVD法により、 SiO_2 より成る層間絶縁膜44を形成する。

【0051】

こうして、本実施形態による半導体装置が製造される。

【0052】

本実施形態による半導体装置の製造方法は、成膜室102内の圧力を常圧より若干低い圧力である第1の圧力に設定した状態で層間絶縁膜32aを成長した後、成膜室102内の圧力を比較的低い圧力である第2の圧力まで徐々に低下させ、この後、成膜室102内の圧力を第2の圧力に設定した状態で層間絶縁膜32bを更に成長することに主な特徴がある。

【0053】

提案されている半導体装置の製造方法では、上述したように、成膜室内の圧力を常圧より若干低い圧力である第1の圧力に設定した状態で層間絶縁膜を成長した後、成膜室内の雰囲気を排気しながら、成膜室内の圧力を比較的低い圧力である第2の圧力に設定し、成膜室内の圧力が第2の圧力に設定されている状態で層間絶縁膜を更に成長していた。提案されている半導体装置の製造方法では、上述したように、成膜室内の圧力を第2の圧力に設定する際に、成膜室内の圧力が極端に低下し、しかも成膜室内の雰囲気が不安定な状態になってしまったため、不均一な膜厚で層間絶縁膜が成長してしまっていた。しかも、提案されている半導体装置の製造方法では、半導体ウェハの面内における層間絶縁膜の膜厚分布は、半導体ウェハの一方の側において厚くなり、半導体ウェハの他方の側において薄くなるような膜厚分布となってしまっていた。このような膜厚分布の層間絶縁膜の表面をCMP法により研磨すると、層間絶縁膜の膜厚の最大値と最小値との差は、更に大きく拡がってしまっていた。このため、提案されている半導体装置の製造方法では、十分に平坦な層間絶縁膜が得られなかった。

【0054】

これに対し、本実施形態では、成膜室102内の圧力を第1の圧力から第2の

圧力まで低下させる際に、成膜室102内の圧力を徐々に低下させるため、成膜室102内の圧力が極端に低下して成膜室102内の雰囲気が不安定になってしまふのを防止することができる。このため、本実施形態によれば、膜厚の均一性が高い層間絶縁膜を形成することが可能となる。しかも、本実施形態によれば、後述するように、面内における層間絶縁膜の膜厚分布は同心円状となる。このため、本実施形態によれば、層間絶縁膜の表面をCMP法により研磨した際に、層間絶縁膜の膜厚の不均一性が拡大するのを抑制することが可能となる。このため、本実施形態によれば、十分に平坦な層間絶縁膜を得ることが可能となる。

【0055】

(評価結果)

次に、本実施形態による半導体装置の製造方法の評価結果について図8を用いて説明する。

【0056】

図8は、本実施形態による半導体装置の製造方法により層間絶縁膜を形成した場合における、成膜室内の圧力の測定結果を示すタイムチャートである。成膜装置102としては、準常圧CVD装置を用いた。

【0057】

実施例1及び実施例2は、成膜室102内の圧力を第1の圧力から第2の圧力に変化させる際に、10Torrr/秒の割合で成膜室102内の圧力を徐々に低下させた場合を示している。なお、実施例1では、成膜室102内の圧力を8段階に分けて段階的に低下させた。また、実施例2では、成膜室102内の圧力を連続的に低下させた。

【0058】

実施例3は、成膜室102内の圧力を第1の圧力から第2の圧力に変化させる際に、20Torrr/秒の割合で成膜室内の圧力を徐々に低下させた場合を示している。なお、実施例3では、成膜室102内の圧力を連続的に低下させた。

【0059】

実施例4は、成膜室102内の圧力を第1の圧力から第2の圧力に変化させる際に、40Torrr/秒の割合で成膜室102内の圧力を徐々に低下させた場合

を示している。なお、実施例4では、成膜室102内の圧力を連続的に低下させた。

【0060】

比較例1は、成膜室102内の圧力を第1の圧力から第2の圧力に変化させる際に、80 Torr／秒の割合で成膜室102内の圧力を徐々に低下させた場合を示している。なお、比較例1では、成膜室102内の圧力を連続的に低下させた。

【0061】

比較例2は、提案されている半導体装置の製造方法の場合、即ち、成膜室102内の雰囲気を排気しながら、成膜室102内の圧力を第2の圧力に設定した場合を示している。

【0062】

図8から分かるように、比較例1、2の場合には、成膜室102内の圧力を第2の圧力に設定する過程で、成膜室102内の圧力が極端に低下してしまっている。

【0063】

一方、実施例1～4の場合には、成膜室102内の圧力を第2の圧力に設定する過程で、成膜室102内の圧力が極端に低下してしまうことが防止されている。

【0064】

これらのことから、本実施形態では、成膜室102内の圧力を第2の圧力に設定する過程で、成膜室102内の圧力が極端に低下して成膜室102内の雰囲気が不安定になってしまふのを防止し得ることが分かる。

【0065】

図9は、本実施形態による半導体装置の製造方法により層間絶縁膜を形成した場合における、層間絶縁膜の膜厚の面内分布を示す平面図である。図9は、半導体ウェハの上面から見た図である。図9では、等高線を用いて膜厚を示している。図9における太い実線は、膜厚1600nmの箇所を示している。図中の+印は、層間絶縁膜の膜厚が1600nmより厚くなっている部分を示している。図

中の一印は、層間絶縁膜の膜厚が1600nmより薄くなっている部分を示している。

【0066】

図9から分かるように、本実施形態では、層間絶縁膜の膜厚の面内分布が同心円状になっている。本実施形態では、層間絶縁膜32の膜厚の面内分布が同心円状になっているため、層間絶縁膜32の表面をCMP法により研磨した際に、層間絶縁膜32の膜厚の最大値と最小値との差が大きく拡がってしまうのを防止することができる。

【0067】

図10は、本実施形態による半導体装置の製造方法により層間絶縁膜を形成した場合における、層間絶縁膜の膜厚の最大値と最小値との差を示すグラフである。横軸は、半導体基板の通し番号を示している。縦軸は、層間絶縁膜における膜厚の最大値と最小値との差を示している。◆印は、層間絶縁膜を形成した直後における、層間絶縁膜の膜厚の最大値と最小値との差を示している。■印は、層間絶縁膜の表面をCMP法により研磨した後における、層間絶縁膜の膜厚の最大値と最小値との差を示している。

【0068】

図10から分かるように、本実施形態による半導体装置の製造方法では、層間絶縁膜32を形成した直後における層間絶縁膜32の膜厚の最大値と最小値との差は、提案されている半導体装置の製造方法の場合と比較して、小さく抑えられている（図14参照）。

【0069】

また、本実施形態による半導体装置の製造方法では、層間絶縁膜32の表面をCMP法により研磨した後における層間絶縁膜32の膜厚の最大値と最小値との差は、提案されている半導体装置の製造方法の場合と比較して、小さく抑えられている（図14参照）。

【0070】

これらのことから、本実施形態によれば、十分に平坦な層間絶縁膜を有する半導体装置を製造し得ることが分かる。

【0071】

[第2実施形態]

本発明の第2実施形態による半導体装置の製造方法について図11を用いて説明する。図11は、本実施形態による半導体装置の製造方法により層間絶縁膜を形成する際における、成膜室内の圧力を示すタイムチャートである。図1乃至図10に示す第1実施形態による半導体装置の製造方法と同一の構成要素には、同一の符号を付して説明を省略または簡潔にする。

【0072】

本実施形態による半導体装置の製造方法は、成膜室内の圧力を第1の圧力に設定した状態で層間絶縁膜を成長した後に、成膜室内の雰囲気を不活性雰囲気に置換しながら、成膜室内の圧力が徐々に低下するように、成膜室内の雰囲気を排気し、この後、成膜室内の圧力を第2の圧力に設定した状態で層間絶縁膜を更に成長することに主な特徴がある。

【0073】

まず、図11の(1)のように、成膜室102(図6参照)内の圧力を常圧より若干低い圧力である第1の圧力に設定する。第1の圧力は、例えば600Torr程度とする。

【0074】

次に、図11の(2)のように、成膜室102内の圧力を第1の圧力に設定した状態で、成膜室102内に原料ガスを導入することにより、層間絶縁膜32a(図3(b)参照)を成長する。この際の成膜条件は、第1実施形態による半導体装置の製造方法の場合と同様とする。

【0075】

次に、成膜室102内に原料ガスを導入するのを中止する。

【0076】

次に、図11の(3)のように、成膜室102内に不活性ガスを導入して成膜室102内を不活性雰囲気に置換しながら、成膜室102内の圧力が徐々に低下するように、成膜室102内の雰囲気を排気する。成膜室内102内に不活性ガスを導入しながら、成膜室内の圧力を徐々に低下させるのは、成膜室内の圧力が

第2の圧力より低くなるまでの間に、成膜室内の雰囲気を不活性雰囲気に完全に置換するためである。不活性ガスとしては、例えば、Heガス、N₂ガス、又はO₂ガスを用いる。成膜室102内の圧力を徐々に低下させる際には、上記と同様に、成膜室102内の圧力を圧力計104により測定しながら、スロットルバルブ116の開度を制御することにより、成膜室102内の圧力を低下させる。成膜室102内の圧力を低下させる割合は、例えば40 Torr／秒より小さい割合、望ましくは、5～40 Torr／秒とする。

【0077】

次に、図11の(4)のように、成膜室102内に不活性ガスを導入するのを中止し、成膜室内の雰囲気をほとんどすべて排氣する。この時間は、例えば5～20秒程度とする。

【0078】

次に、図11の(5)のように、成膜室102内に不活性ガスを導入しながら、成膜室102内の圧力を第2の圧力まで上昇させる。不活性ガスとしては、例えばHeガス、N₂ガス、又はO₂ガスを用いる。第2の圧力は、上記と同様に、例えば200 Torr程度とする。成膜室内の圧力を第2の圧力まで上昇させる際に原料ガスを導入せずに不活性ガスを導入するため、層間絶縁膜が不均一に成長してしまうのを防止することができる。

【0079】

次に、図11の(6)のように、成膜室102内の圧力を第2の圧力に設定した状態で、成膜室102内に原料ガスを導入することにより、層間絶縁膜32b(図3(b)参照)を更に成長する。

【0080】

こうして、層間絶縁膜32(図3(b)参照)が形成される。

【0081】

このように、成膜室内の圧力を第1の圧力に設定した状態で層間絶縁膜を成長した後に、成膜室内の雰囲気を不活性雰囲気に置換しながら、成膜室内の圧力が徐々に低下するように、成膜室内の雰囲気を排氣し、この後、成膜室内の圧力を第2の圧力に設定した状態で層間絶縁膜を更に成長してもよい。成膜室内の雰囲

気を不活性雰囲気に置換しながら、成膜室内の圧力を徐々に低下させるため、成膜室内の圧力が第2の圧力より低くなる際には、成膜室内の雰囲気は不活性雰囲気に既に置換されていることとなる。このため、本実施形態によつても、成膜室内の圧力が極端に低く、しかも成膜室内の雰囲気が不安定な状態で、層間絶縁膜が成長するのを防止することができる。また、成膜室内の圧力を第2の圧力まで上昇させる際に、原料ガスを導入せずに不活性ガスを導入するため、層間絶縁膜が不均一な膜厚で成膜されてしまうのを防止することができる。従つて、本実施形態によつても、第1実施形態による半導体装置の製造方法と同様に、層間絶縁膜の膜厚が不均一になるのを防止することができる。このため、本実施形態によつても、第1実施形態による半導体装置の製造方法と同様に、CMP法により層間絶縁膜の表面を研磨した際に、層間絶縁膜の膜厚の不均一性が拡大するのを抑制することが可能となる。従つて、本実施形態によつても、十分に平坦な層間絶縁膜を有する半導体装置を製造することができる。

【0082】

[第3実施形態]

本発明の第3実施形態による半導体装置の製造方法を図12を用いて説明する。図12は、本実施形態による半導体装置の製造方法により層間絶縁膜を形成する際の、成膜室内の圧力を示すタイムチャートである。図1乃至図11に示す第1又は第2実施形態による半導体装置の製造方法と同一の構成要素には、同一の符号を付して説明を省略または簡潔にする。

【0083】

本実施形態による半導体装置の製造方法は、成膜室102内の圧力を第1の圧力に設定した状態で層間絶縁膜32aを成長した後に、成膜室102内の雰囲気を不活性雰囲気に置換し、成膜室102内の雰囲気を排気し、この後、成膜室102内の圧力を第2の圧力に設定した状態で層間絶縁膜32bを更に成長することに主な特徴がある。

【0084】

まず、図12の(1)のように、成膜室102(図6参照)内の圧力を常圧より若干低い圧力である第1の圧力に設定する。第1の圧力は、例えば600T。

r r 程度とする。

【0085】

次に、図12の(2)のように、成膜室102内の圧力を第1の圧力に設定した状態で、成膜室102内に原料ガスを導入することにより、層間絶縁膜32a(図3(b)参照)を成長する。この際の成膜条件は、第1実施形態による半導体装置の製造方法の場合と同様とする。

【0086】

次に、成膜室102内に原料ガスを導入するのを中止する。

【0087】

次に、成膜室102内に不活性ガスを導入して成膜室102内を不活性雰囲気に置換する。不活性ガスとしては、例えばHeガス、N₂ガス、又はO₂ガスを用いる。成膜室102内の雰囲気を不活性雰囲気に置換するのは、成膜室102内の圧力が極端に低下し、しかも成膜室102内が不安定な状態で層間絶縁膜が成長するのを防止することにより、層間絶縁膜の膜厚が不均一になるのを抑制するためである。

【0088】

次に、図12の(3)のように、成膜室102内の雰囲気を排気する。この時間は、例えば5~20秒程度とする。

【0089】

次に、図12の(4)のように、成膜室内に不活性ガスを導入するのを中止し、成膜室内の雰囲気をほとんどすべて排気する。この時間は、例えば5~20秒程度とする。

【0090】

次に、図12の(5)のように、不活性ガスを導入しながら、成膜室内の圧力を第2の圧力まで上昇させる。不活性ガスとしては、上記と同様に、例えばHeガス、N₂ガス、又はO₂ガスを用いる。第2の圧力は、上記と同様に、例えば200Torr程度とする。成膜室102内の圧力を第2の圧力まで上昇させる際に原料ガスを導入せずに不活性ガスを導入するため、第2実施形態による半導体装置の製造方法と同様に、層間絶縁膜が不均一な膜厚で成膜されてしまうのを抑

制することができる。

【0091】

次に、図12の(6)のように、成膜室102内の圧力を第2の圧力に設定した状態で、成膜室内に原料ガスを導入することにより、層間絶縁膜32b(図3(b)参照)を更に成長する。この際の成膜条件は、第1実施形態による半導体装置の製造方法と同様とする。

【0092】

こうして、層間絶縁膜32(図3(b)参照)が形成される。

【0093】

このように、成膜室102内の圧力を第1の圧力に設定した状態で層間絶縁膜32aを成長した後に、成膜室102内の雰囲気を不活性雰囲気に置換し、成膜室102内の雰囲気を排気し、この後、成膜室102内の圧力を第2の圧力に設定した状態で層間絶縁膜を更に成長してもよい。成膜室102内の雰囲気を排気する際に、成膜室102内の雰囲気が既に不活性雰囲気に置換されているため、層間絶縁膜32が不均一な膜厚で成膜されてしまうのを防止することができる。また、成膜室102内の圧力を第2の圧力まで上昇させる際に、原料ガスを導入せずに不活性ガスを導入するため、層間絶縁膜102が不均一な膜厚で成膜されてしまうのを防止することができる。従って、本実施形態によっても、第1及び第2実施形態による半導体装置の製造方法と同様に、層間絶縁膜32の膜厚が不均一になるのを防止することができる。このため、本実施形態によっても、第1及び第2実施形態による半導体装置の製造方法と同様に、CMP法により層間絶縁膜32の表面を研磨した際に、層間絶縁膜32の膜厚の不均一性が拡大するのを抑制することが可能となる。従って、本実施形態によっても、十分に平坦な層間絶縁膜を有する半導体装置を製造することができる。

【0094】

[変形実施形態]

本発明は上記実施形態に限らず種々の変形が可能である。

【0095】

例えば、第1実施形態による半導体装置の製造方法では、成膜室内を不活性雰

囲気に置換しながら、成膜室内の圧力を第1の圧力から第2の圧力まで徐々に低下させたが、成膜室内に原料ガスが導入されている状態で、成膜室内の圧力を第1の圧力から第2の圧力まで徐々に低下させるようにしてもよい。

【0096】

また、上記実施形態では、BPSGより成る層間絶縁膜を形成する場合を例に説明したが、層間絶縁膜はBPSG膜に限定されるものではなく、BSG (Boron-Silicate Glass) 膜、PSG (Phospho-Silicate Glass) 膜又はUSG (Undoped Silicate Glass) 膜等、他の材料より成る層間絶縁膜を形成してもよい。

【0097】

また、第3実施形態では、成膜室内の雰囲気を不活性雰囲気に置換した後に、成膜室内の雰囲気を排気したが、成膜室内の雰囲気を不活性雰囲気に置換しながら、成膜室内の雰囲気を排気してもよい。成膜室内の雰囲気を不活性雰囲気に置換しながら、成膜室内の雰囲気を排気する場合であっても、成膜室内の圧力が第2の圧力より低くなるまでに、成膜室内の雰囲気を不活性雰囲気に置換することが可能であるためであり、成膜室内の圧力が極端に低下し、しかも成膜室内の雰囲気が不安定な状態において層間絶縁膜が成長してしまうのを防止することが可能だからである。

【0098】

また、上記実施形態では第1の圧力を600 Torrとしたが、第1の圧力は600 Torrに限定されるものではなく、ゲート電極等の間を層間絶縁膜により確実に埋め込むことができるよう適宜設定すればよい。第1の圧力は、例えば、400～600 Torrとすることができます。

【0099】

また、上記実施形態では第2の圧力を200 Torrとしたが、第2の圧力は200 Torrに限定されるものではない。第2の圧力は、例えば、200～400 Torrとすることができます。

【0100】

また、上記実施形態では、ゲート電極が形成された半導体基板上に層間絶縁膜を形成する場合を例に説明したが、層間絶縁膜を形成する際に半導体基板上に存

在しているものはゲート電極に限定されるものではない。本発明は、例えば配線等が形成された半導体基板上に層間絶縁膜を形成する場合にも、適用することができる。即ち、本発明は、パターニング等により表面に凹凸が形成された半導体基板上に層間絶縁膜を形成する場合に、広く適用することが可能である。

【0101】

また、上記実施形態では、半導体装置を製造する場合を例に説明したが、本発明は、半導体装置を製造する場合に限定されるものではなく、あらゆる装置を製造する際に広く適用することができる。

【0102】

また、上記実施形態では、層間絶縁膜を形成する場合を例に説明したが、層間絶縁膜を形成する場合に限定されるものではなく、絶縁膜を形成する場合に広く適用することができる。即ち、パターニング等により表面に凹凸が形成された基板上に絶縁膜を形成する場合に、広く適用することが可能である。

【0103】

また、上記実施形態では、半導体装置を製造する場合を例に説明したが、本発明は、半導体装置を製造する場合に限定されるものではなく、絶縁膜の形成方法に広く適用することができる。

【0104】

ここで、本発明の好ましい様態を付記すると、以下の通りである。

【0105】

(付記1) 成膜室内を第1の圧力に設定した状態で絶縁膜を成長する工程と

前記成膜室内の圧力を前記第1の圧力より低い第2の圧力まで徐々に低下させる圧力調整工程と、

前記成膜室内の圧力を前記第2の圧力に設定した状態で前記絶縁膜を更に成長する工程と

を有することを特徴とする半導体装置の製造方法。

【0106】

(付記2) 付記1記載の半導体装置の製造方法において、

前記圧力調整工程では、前記成膜室内の雰囲気を不活性雰囲気に置換しながら、前記成膜室内の圧力を前記第1の圧力から前記第2の圧力まで徐々に低下させる

ことを特徴とする半導体装置の製造方法。

【0107】

(付記3) 付記1又は2記載の半導体装置の製造方法において、

前記圧力調整工程では、前記成膜室内の圧力を40Torr／秒より小さい割合で徐々に低下させる

ことを特徴とする半導体装置の製造方法。

【0108】

(付記4) 付記3記載の半導体装置の製造方法において、

前記圧力調整工程では、前記成膜室内の圧力を5～40Torr／秒の割合で徐々に低下させる

ことを特徴とする半導体装置の製造方法。

【0109】

(付記5) 成膜室内を第1の圧力に設定した状態で絶縁膜を成長する工程と

前記成膜室内の雰囲気を不活性雰囲気に置換しながら、前記成膜室内の圧力が徐々に低下するように、前記成膜室内の雰囲気を排気する工程と、

前記成膜室内の圧力を前記第1の圧力より低い第2の圧力に設定する圧力調整工程と、

前記成膜室内の圧力を第2の圧力に設定した状態で前記絶縁膜を更に成長する工程と

を有することを特徴とする半導体装置の製造方法。

【0110】

(付記6) 付記5記載の半導体装置の製造方法において、

前記成膜室内の雰囲気を排気する工程では、前記成膜室内の圧力が40Torr／秒より小さい割合で徐々に低下するように、前記成膜室内の雰囲気を排気する

ことを特徴とする半導体装置の製造方法。

【0111】

(付記7) 付記6記載の半導体装置の製造方法において、前記成膜室内の雰囲気を排気する工程では、前記成膜室内の圧力が5～40Torr／秒の割合で徐々に低下するように、前記成膜室内の雰囲気を排気することを特徴とする半導体装置の製造方法。

【0112】

(付記8) 成膜室内を第1の圧力に設定した状態で絶縁膜を成長する工程と前記成膜室内の雰囲気を不活性雰囲気に置換する工程と、前記成膜室内の雰囲気を排気する工程と、前記成膜室内の圧力を前記第1の圧力より低い第2の圧力に設定する圧力調整工程と、

前記成膜室内の圧力を第2の圧力に設定した状態で前記絶縁膜を更に成長する工程と

を有することを特徴とする半導体装置の製造方法。

【0113】

(付記9) 成膜室内を第1の圧力に設定した状態で絶縁膜を成長する工程と前記成膜室内の雰囲気を不活性雰囲気に置換しながら、前記成膜室内の雰囲気を排気する工程と、前記成膜室内の圧力を前記第1の圧力より低い第2の圧力に設定する圧力調整工程と、前記成膜室内の圧力を第2の圧力に設定した状態で前記絶縁膜を更に成長する工程とを有することを特徴とする半導体装置の製造方法。

【0114】

(付記10) 付記5乃至9のいずれかに記載の半導体装置の製造方法において、

前記圧力調整工程では、前記成膜室内に不活性ガスを導入しながら、前記成膜室内の圧力を前記第2の圧力に設定する
ことを特徴とする半導体装置の製造方法。

【0115】

(付記11) 付記1乃至10のいずれかに記載の半導体装置の製造方法において、

前記絶縁膜を成長する工程の前に、半導体基板上にトランジスタのゲート電極を形成する工程を更に有し、

前記絶縁膜を成長する工程では、前記ゲート電極を覆うように前記絶縁膜を形成する

ことを特徴とする半導体装置の製造方法。

【0116】

(付記12) 付記1乃至11のいずれかに記載の半導体装置の製造方法において、

前記絶縁膜を成長する工程の前に、半導体基板の上方に配線を形成する工程を更に有し、

前記絶縁膜を成長する工程では、前記配線を覆うように前記絶縁膜を形成する
ことを特徴とする半導体装置の製造方法。

【0117】

(付記13) 付記1乃至12のいずれかに記載の半導体装置の製造方法において、

前記第1の圧力は、400~600 Torr であり、

前記第2の圧力は、200~400 Torr である

ことを特徴とする半導体装置の製造方法。

【0118】

(付記14) 付記1乃至13のいずれかに記載の半導体装置の製造方法において、

前記絶縁膜を成長する工程では、熱化学気相堆積法により前記絶縁膜を形成する

ことを特徴とする半導体装置の製造方法。

【0119】

(付記15) 付記1乃至14のいずれかに記載の半導体装置の製造方法において、

前記絶縁膜は、BPSG膜、BSG膜、PSG膜又はUSG膜であることを特徴とする半導体装置の製造方法。

【0120】

(付記16) 付記1乃至15のいずれかに記載の半導体装置の製造方法において、

前記絶縁膜を更に成長する工程の後に、前記絶縁膜の表面を研磨する工程を更に有する

ことを特徴とする半導体装置の製造方法。

【0121】

【発明の効果】

以上の通り、本発明では、成膜室内の圧力を常圧より若干低い第1の圧力に設定した状態で絶縁膜を成長させ、成膜室内の圧力を第1の圧力より低い第2の圧力に設定した状態で絶縁膜を更に成長させ、しかも、成膜室内の圧力が極端に低く成膜室内の雰囲気が不安定な状態においては絶縁膜を成長させない。従って、本発明によれば、リフロープロセスを行うことなく、十分に平坦な絶縁膜を有する半導体装置を製造することができる。

【図面の簡単な説明】

【図1】

本発明の第1実施形態による半導体装置の製造方法を示す工程断面図（その1）である。

【図2】

本発明の第1実施形態による半導体装置の製造方法を示す工程断面図（その2）である。

【図3】

本発明の第1実施形態による半導体装置の製造方法を示す工程断面図（その3）

)である。

【図4】

本発明の第1実施形態による半導体装置の製造方法を示す工程断面図（その4）である。

【図5】

本発明の第1実施形態による半導体装置の製造方法を示す工程断面図（その5）である。

【図6】

成膜装置を示す概略図である。

【図7】

成膜室内の圧力を示すタイムチャート（その1）である。

【図8】

成膜室内の圧力の測定結果を示すタイムチャートである。

【図9】

層間絶縁膜の膜厚の面内分布を示す平面図（その1）である。

【図10】

層間絶縁膜の膜厚の最大値と最小値との差を示すグラフ（その1）である。

【図11】

成膜室内の圧力を示すタイムチャート（その2）である。

【図12】

成膜室内の圧力を示すタイムチャート（その3）である。

【図13】

層間絶縁膜の膜厚の面内分布を示す平面図（その2）である。

【図14】

層間絶縁膜の膜厚の最大値と最小値との差を示すグラフ（その2）である。

【図15】

成膜室内の圧力の測定結果を示すタイムチャート（その2）である。

【符号の説明】

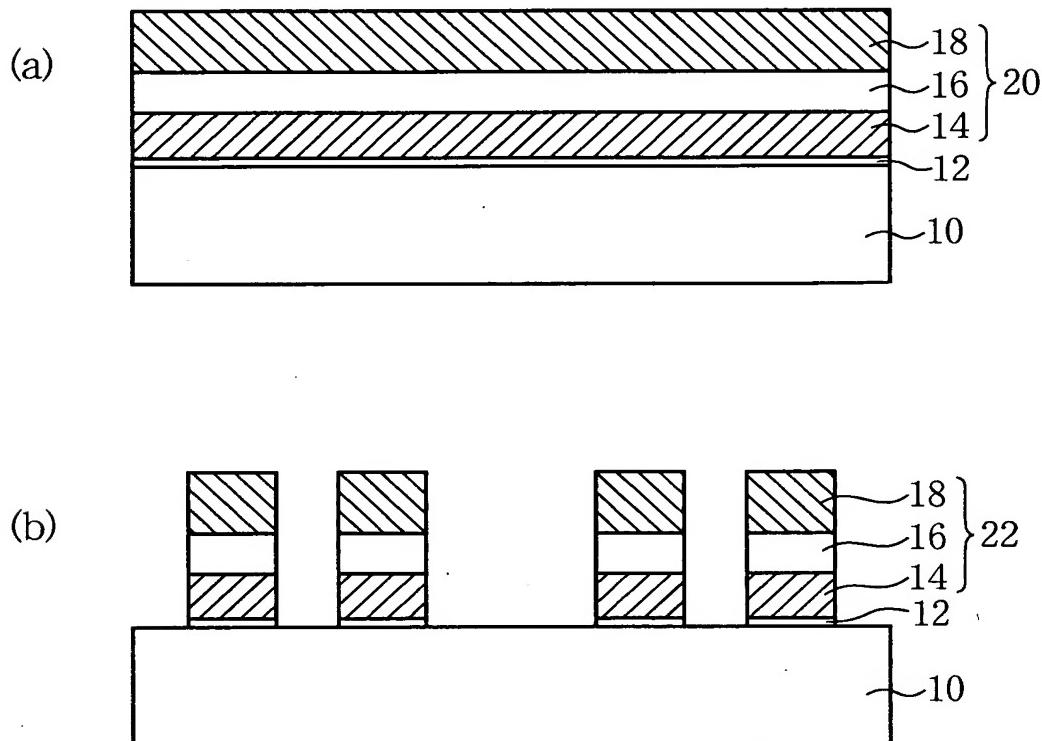
10…半導体基板

- 1 2 …シリコン酸化膜、トンネル絶縁膜
1 4 …ポリシリコン膜、フローティングゲート電極
1 6 …シリコン酸化膜、誘電体膜
1 8 …ポリシリコン膜、コントロールゲート電極
2 0 …積層膜
2 2 …ゲート電極
2 4 …ポケット領域
2 6 a …ソース拡散層
2 6 b …ドレイン拡散層
3 0 …コンタクト層
3 1 …金属シリサイド層
3 2、3 2 a、3 2 b …層間絶縁膜
3 4 …キャップ膜
3 6 …反射防止膜
3 8 …コンタクトホール
4 0 …導体プラグ
4 2 …配線
4 4 …層間絶縁膜
1 0 0 …成膜装置
1 0 2 …成膜室
1 0 4 …圧力計
1 0 6 …サセプタ
1 0 8 …原料供給管
1 1 0 …シャワープレート
1 1 2 …ランプヒータ
1 1 4 …排気管
1 1 6 …スロットルバルブ

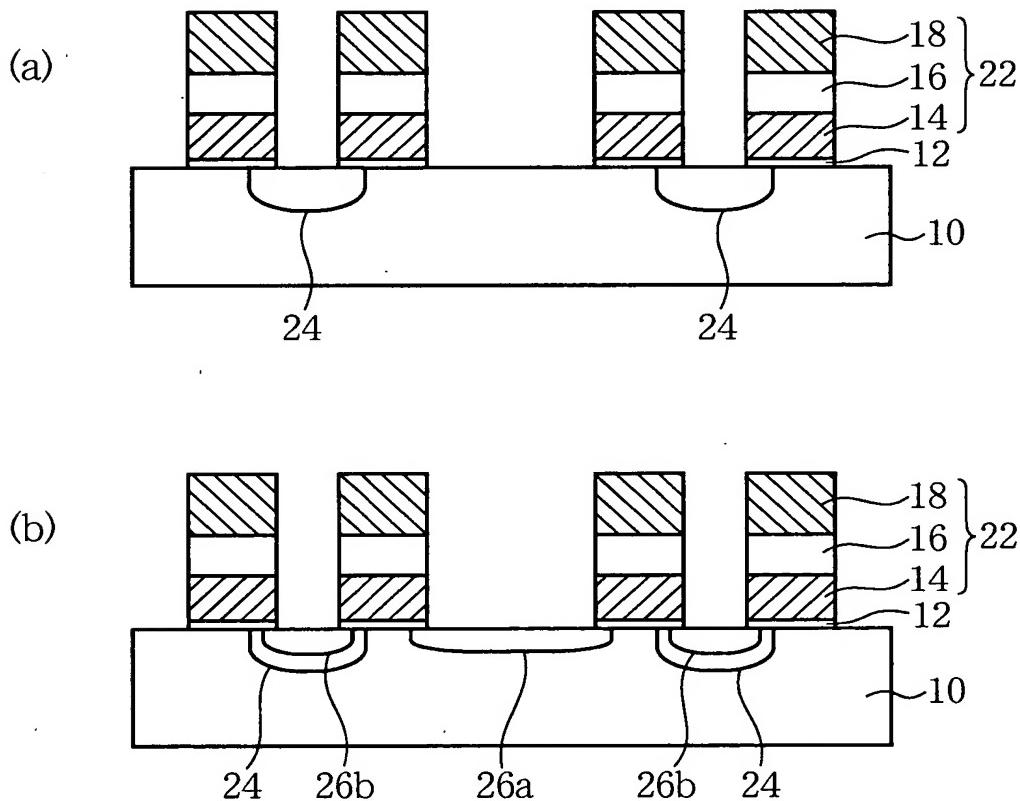
【書類名】 図面

【図1】

本発明の第1実施形態による半導体装置の製造方法を示す
工程断面図(その1)

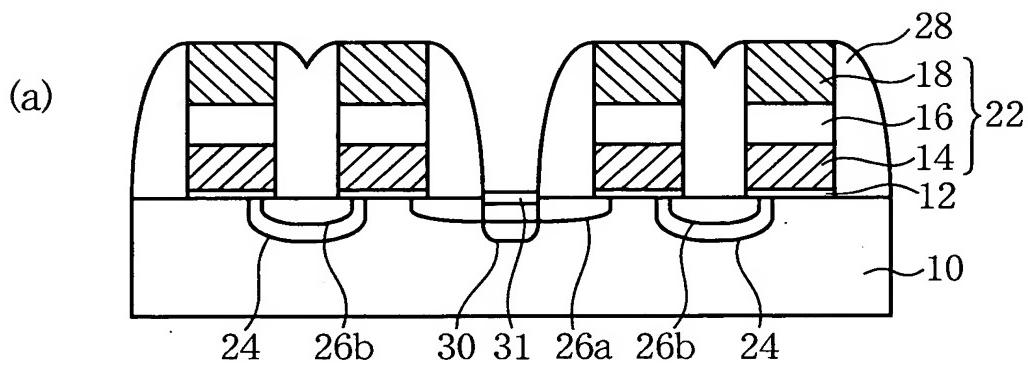


【図2】

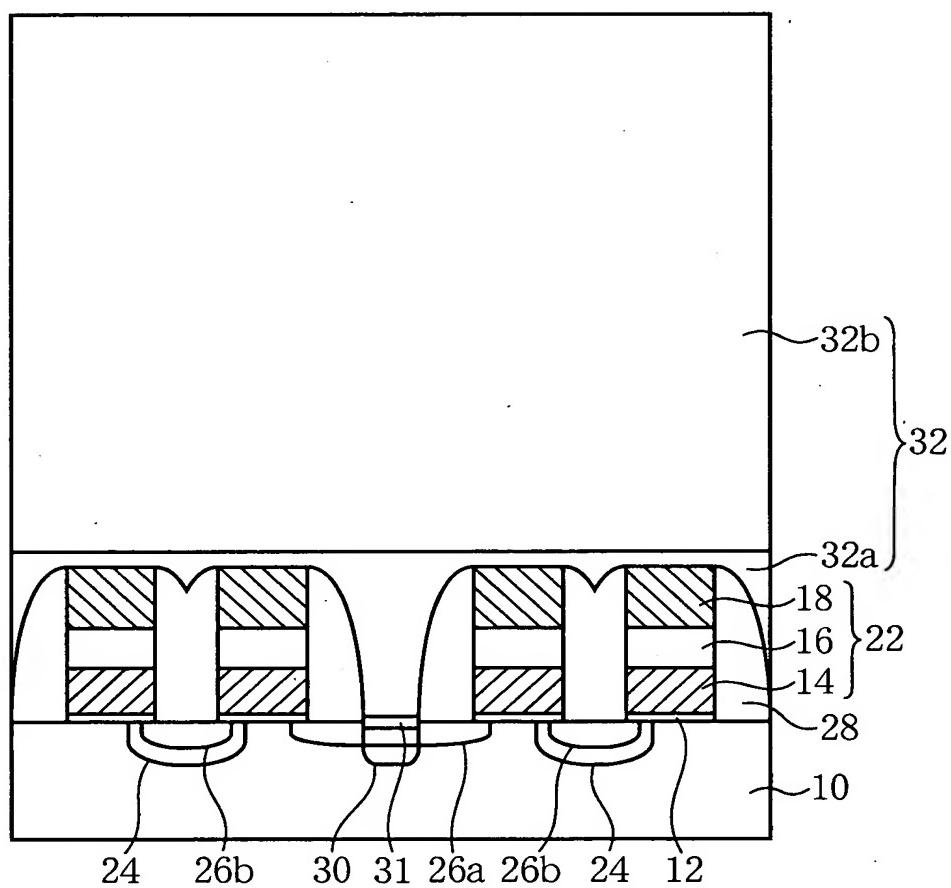
本発明の第1実施形態による半導体装置の製造方法を示す
工程断面図(その2)

【図3】

本発明の第1実施形態による半導体装置の製造方法を示す
工程断面図(その3)



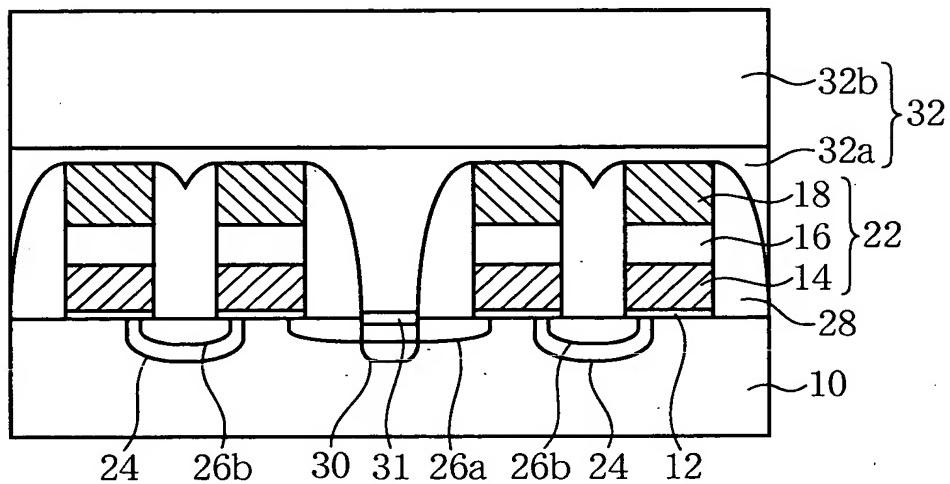
(b)



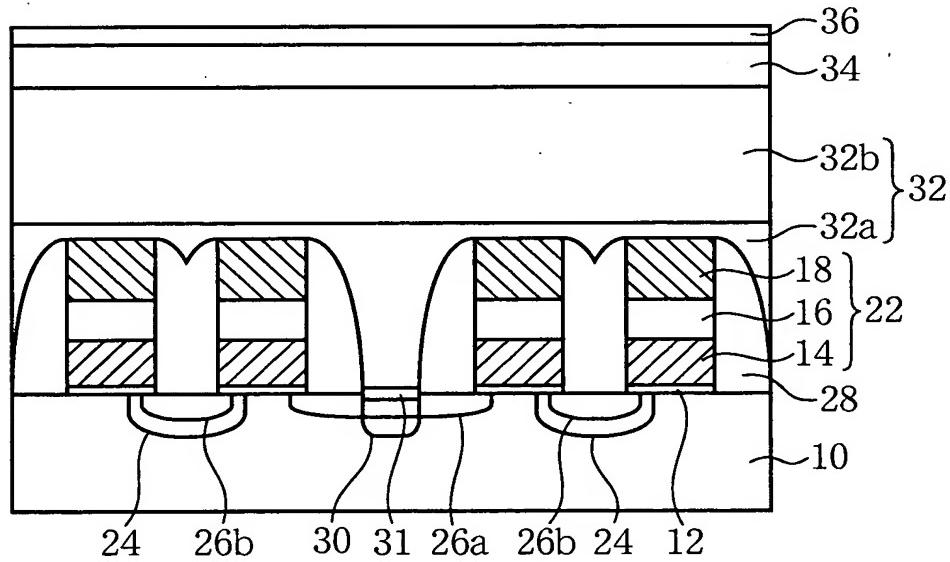
【図4】

本発明の第1実施形態による半導体装置の製造方法を示す
工程断面図(その4)

(a)

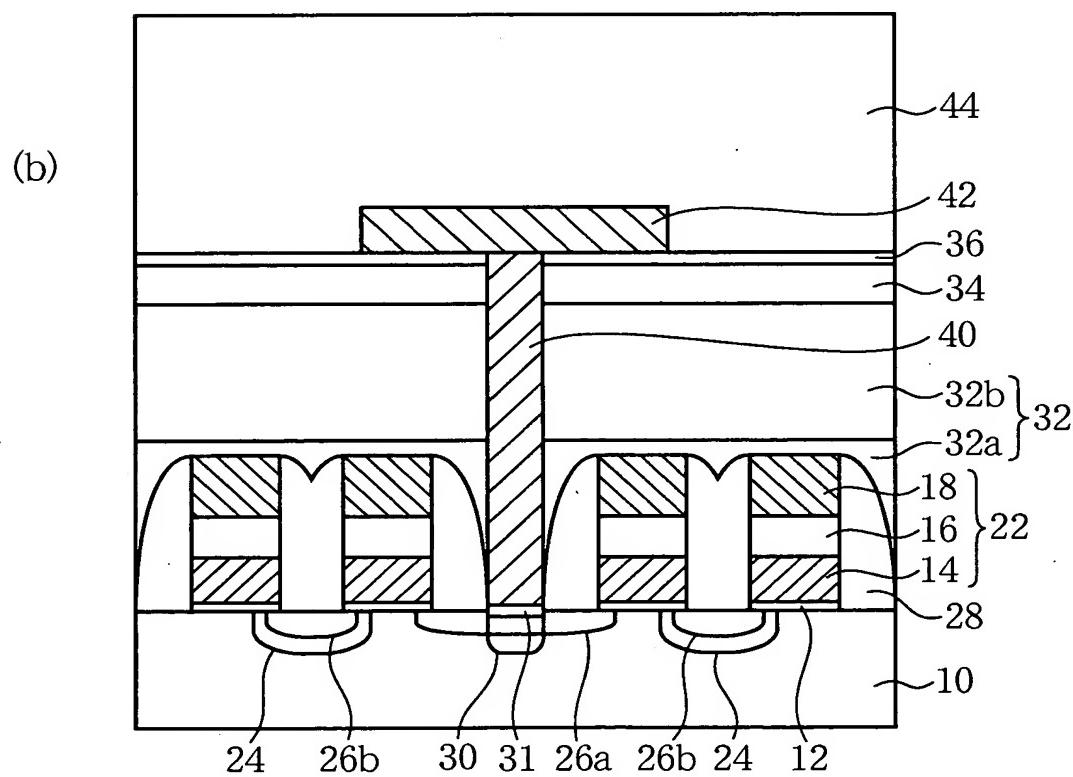
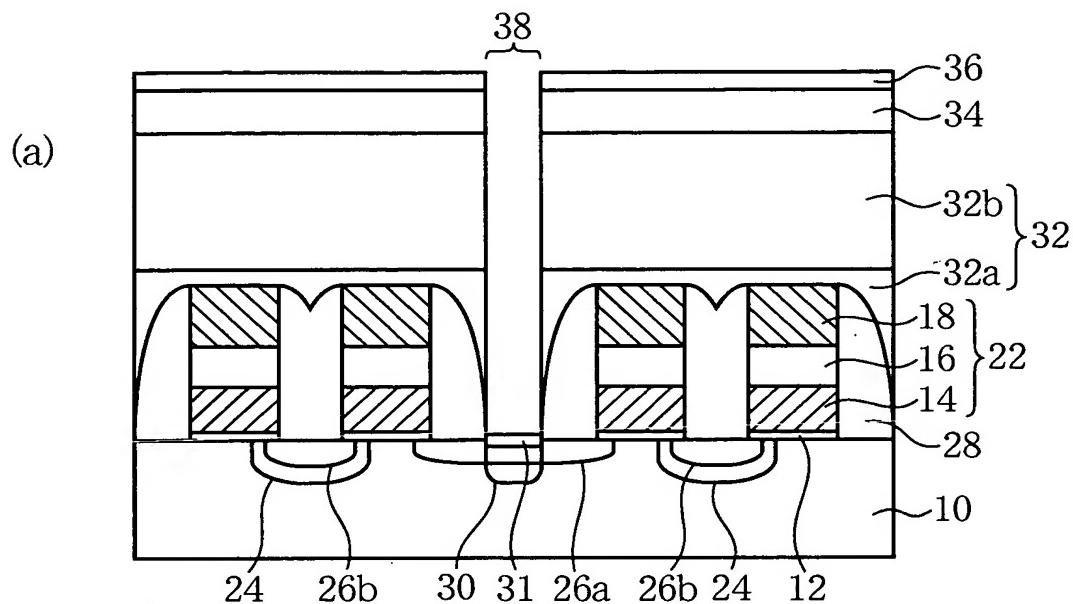


(b)



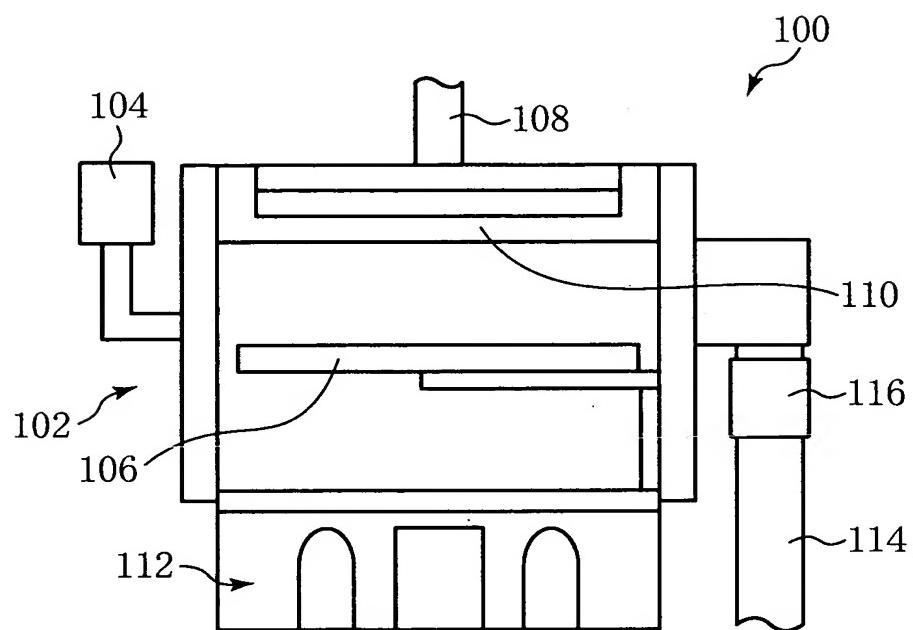
【図5】

本発明の第1実施形態による半導体装置の製造方法を示す
工程断面図(その5)



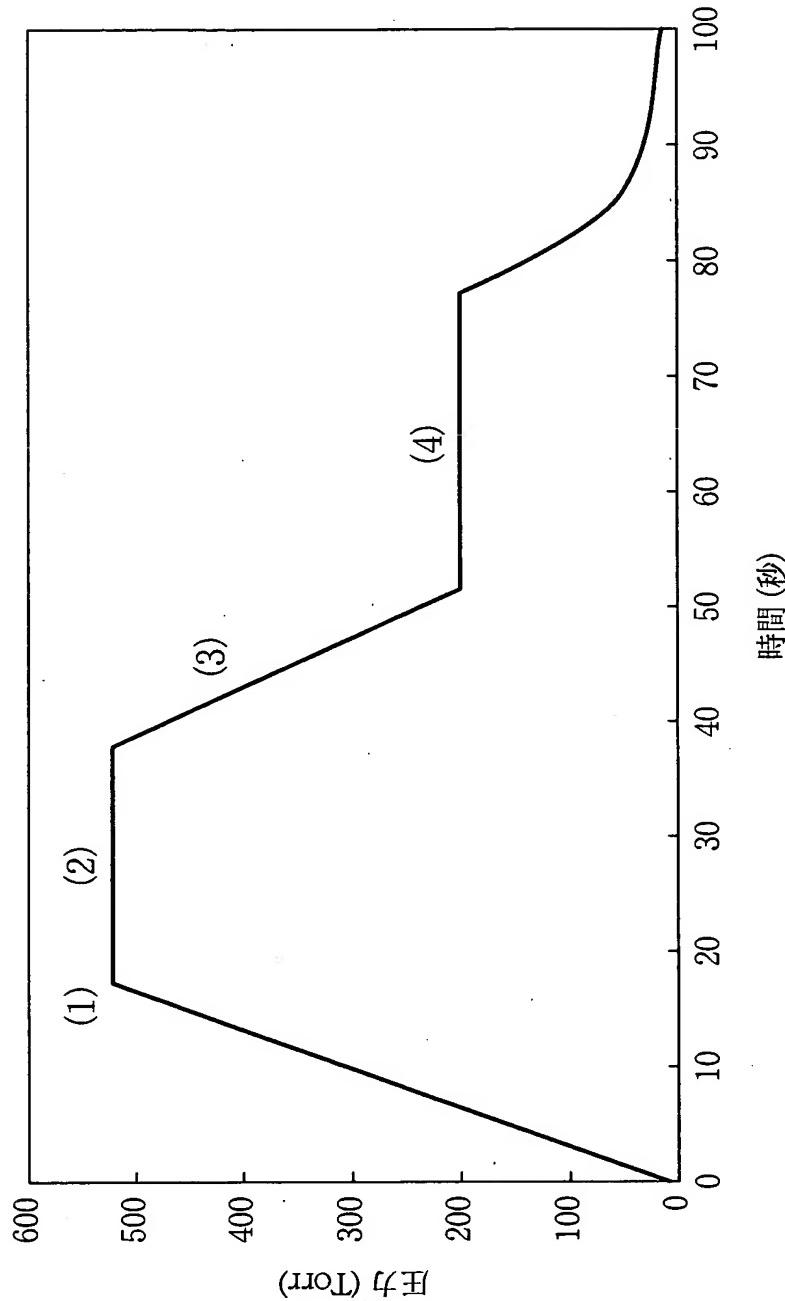
【図6】

成膜装置を示す概略図



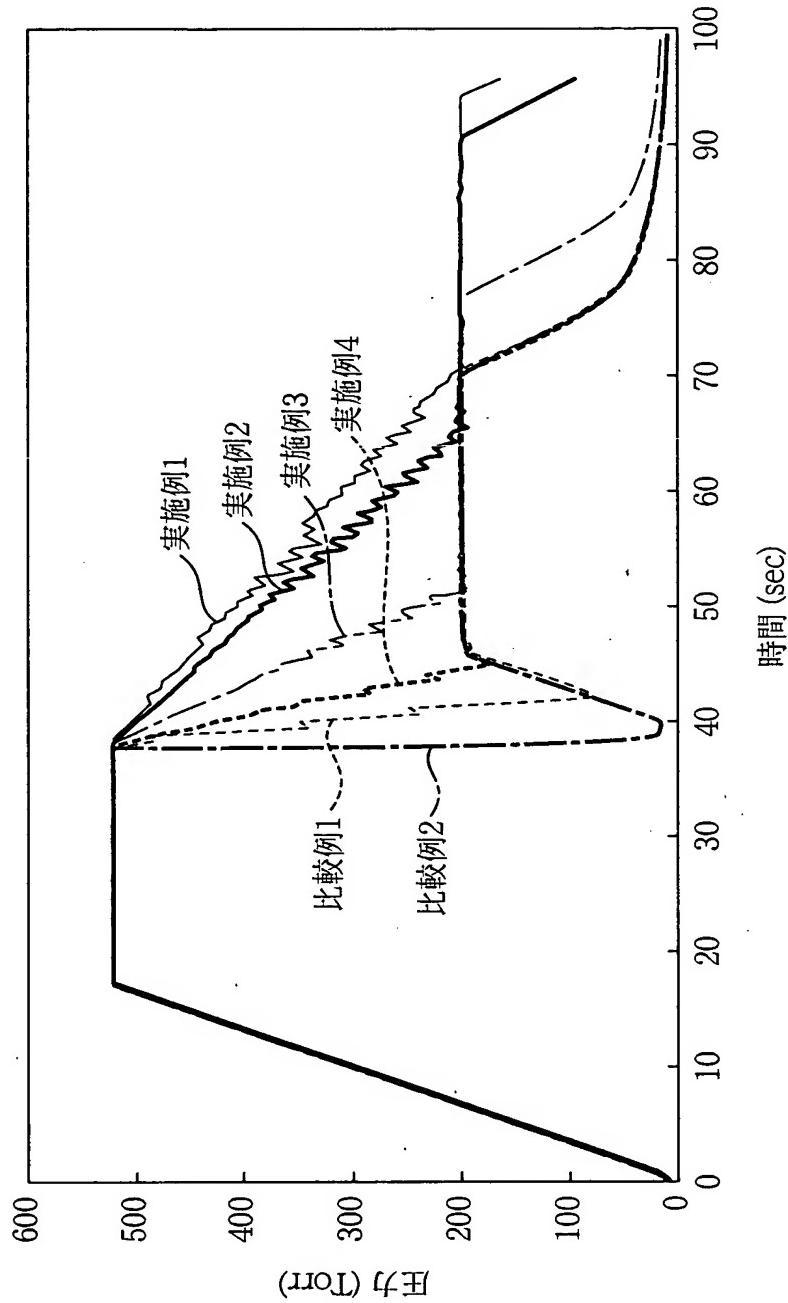
【図7】

成膜室内の圧力を示すタイムチャート(その1)



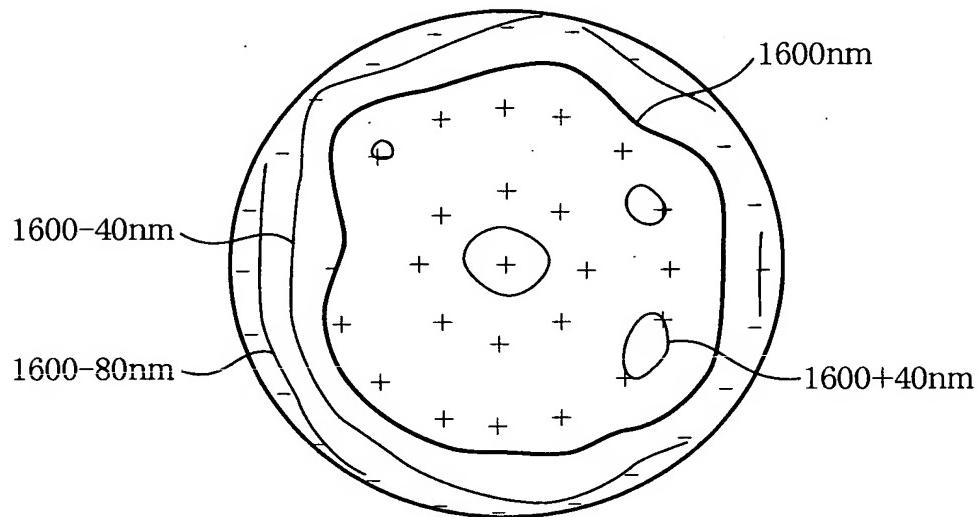
【図8】

成膜室内の圧力の測定結果を示すタイムチャート



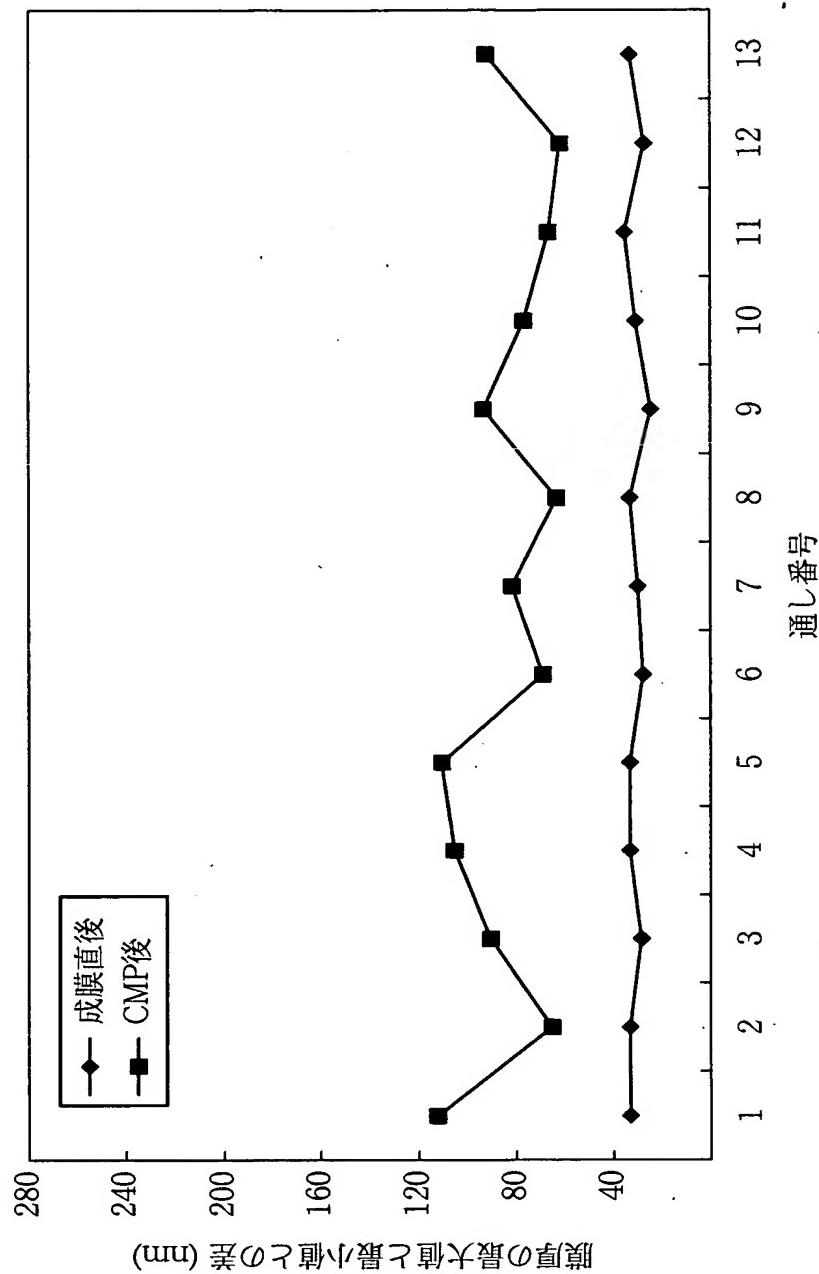
【図9】

層間絶縁膜の膜厚の面内分布を示す平面図(その1)



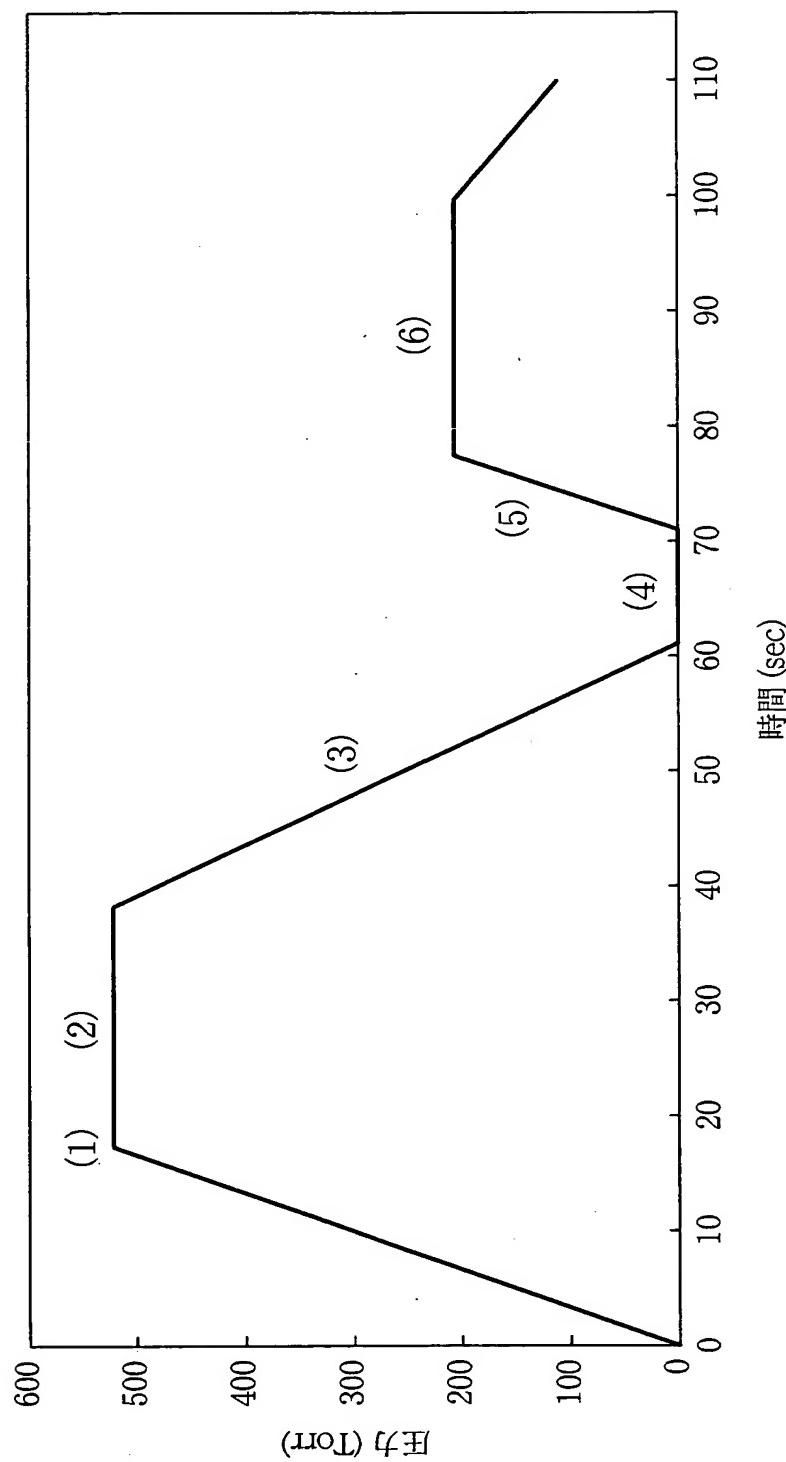
【図10】

層間絶縁膜の膜厚の最大値と最小値との差を示すグラフ(その1)



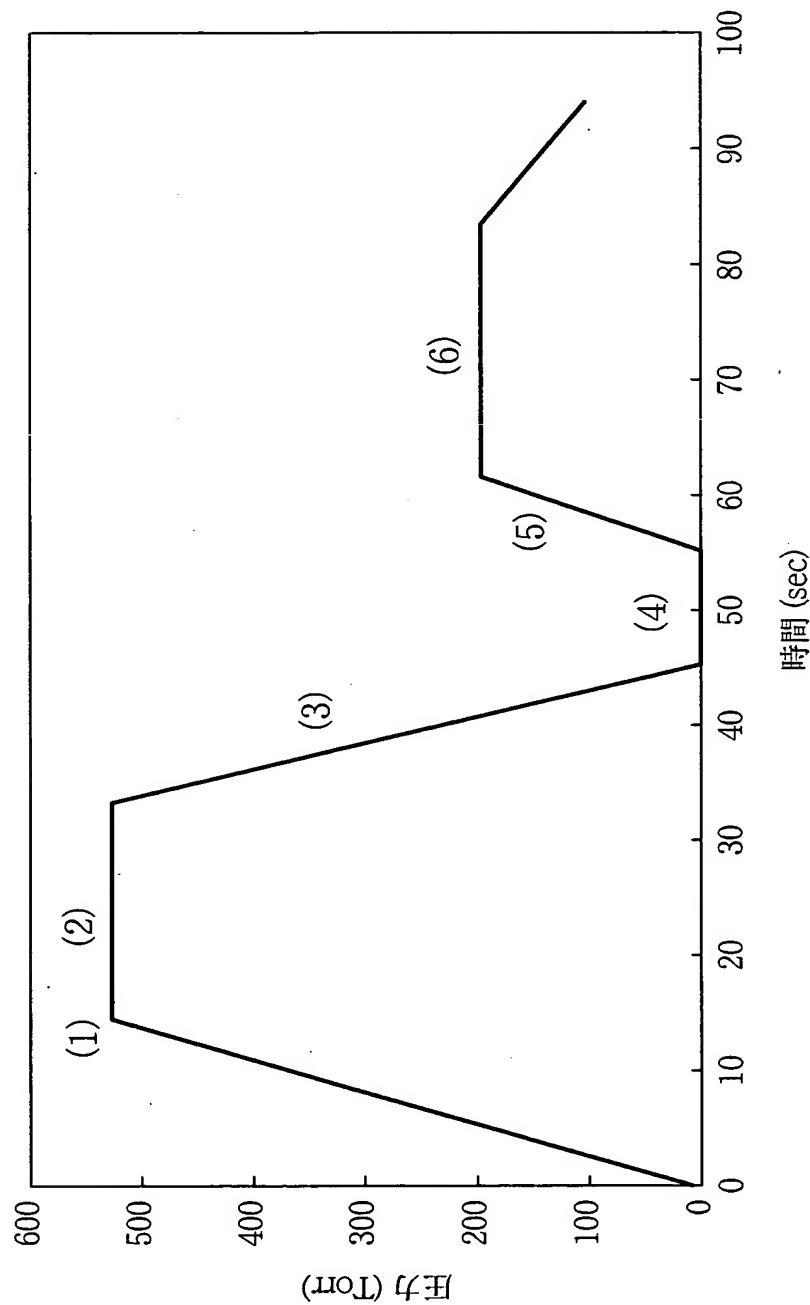
【図11】

成膜室内の圧力を示すタイムチャート(その2)



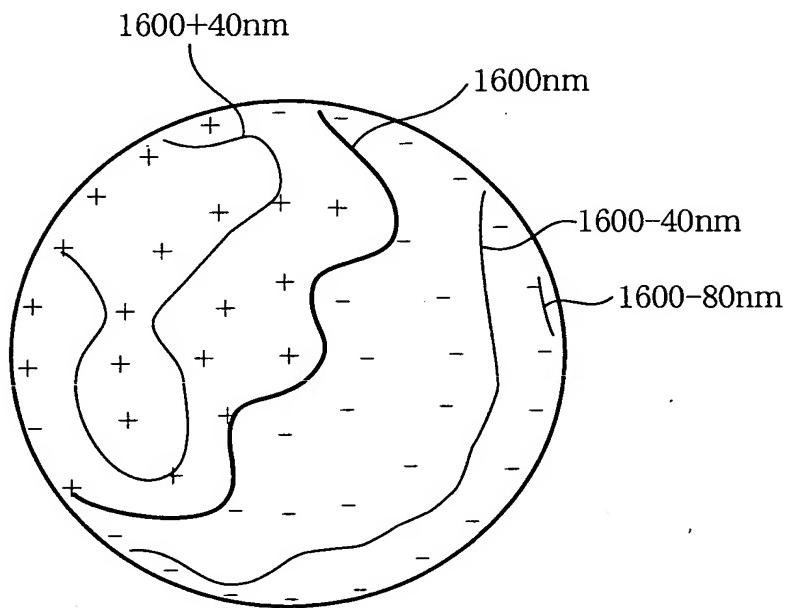
【図12】

成膜室内の圧力を示すタイムチャート(その3)



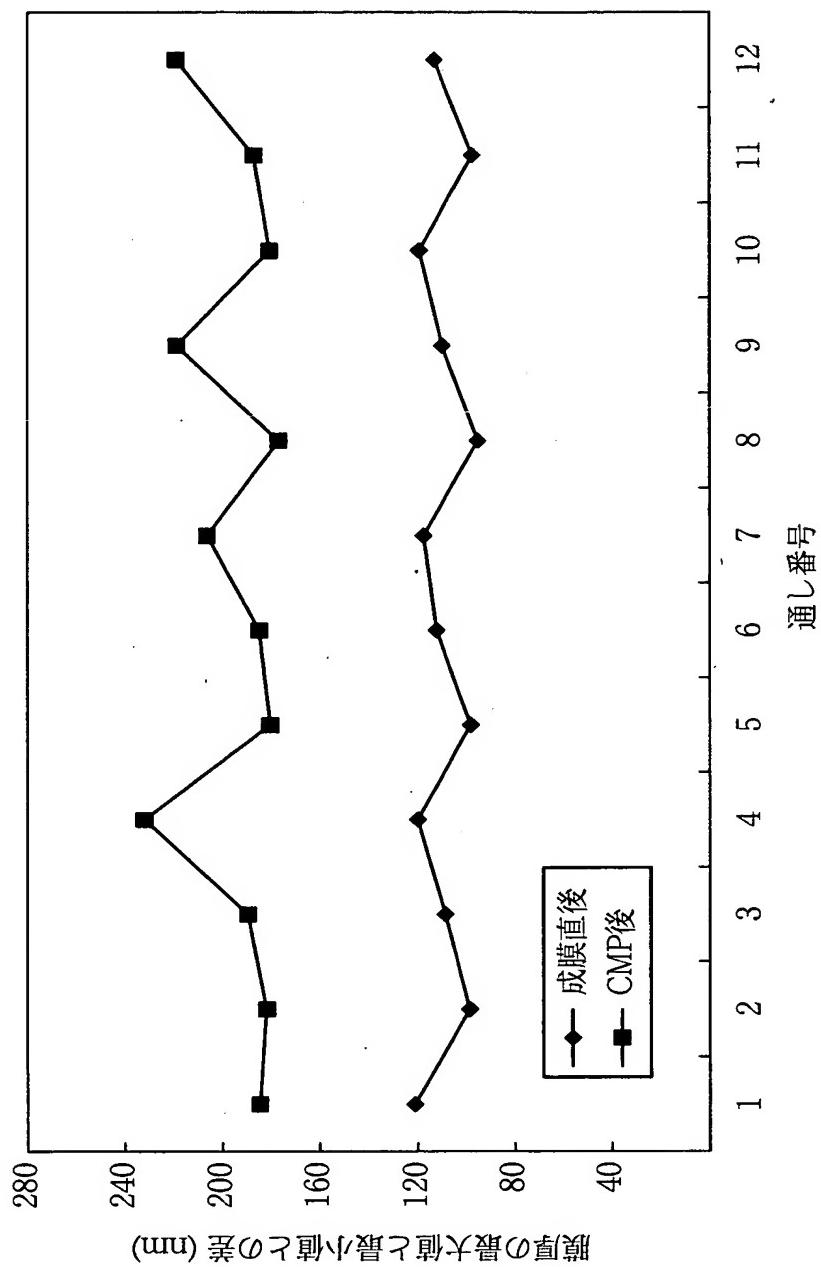
【図13】

層間絶縁膜の膜厚の面内分布を示す平面図(その2)



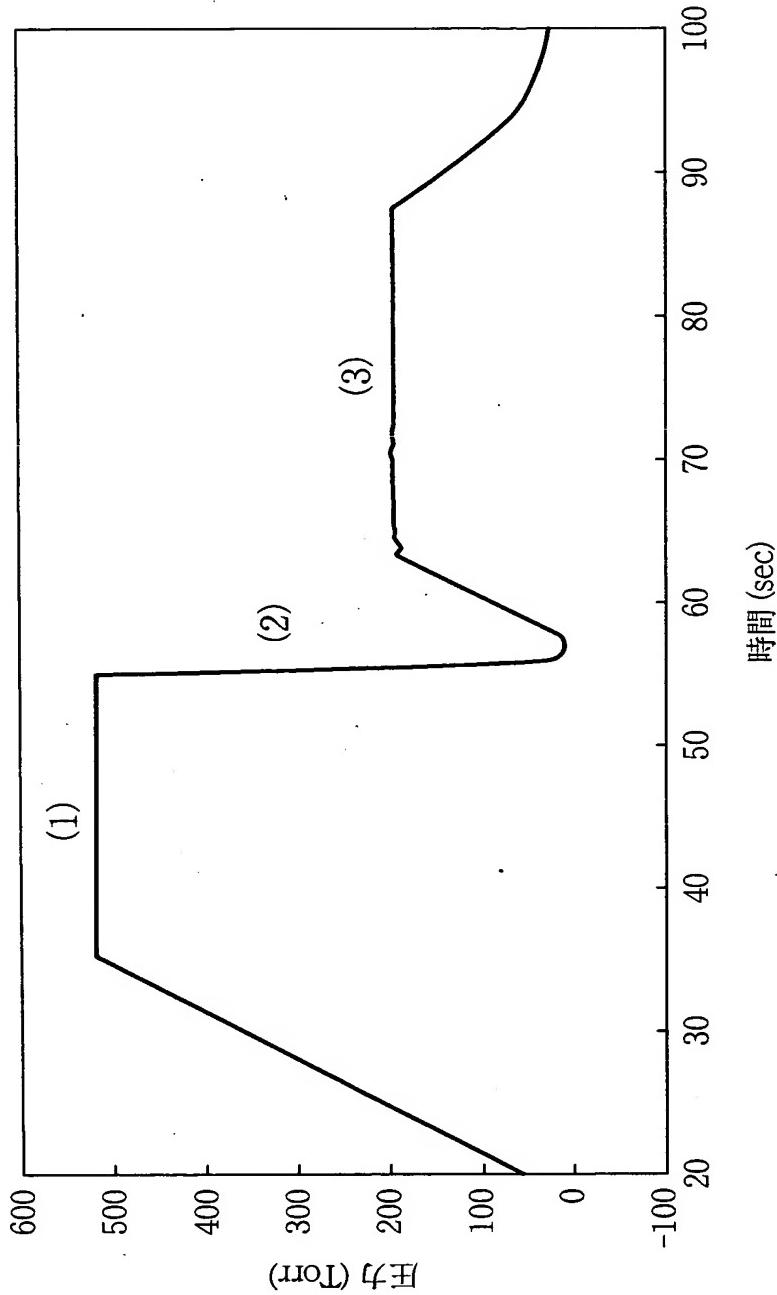
【図14】

層間絶縁膜の膜厚の最大値と最小値との差を示すグラフ(その2)



【図15】

成膜室内の圧力の測定結果を示すタイムチャート(その2)



【書類名】 要約書

【要約】

【課題】 リフロープロセスを行うことなく、十分に平坦な絶縁膜を形成し得る半導体装置の製造方法を提供する。

【解決手段】 成膜室内を第1の圧力に設定した状態で絶縁膜32aを成長する工程と、成膜室内の圧力を第1の圧力より低い第2の圧力まで徐々に低下させる圧力調整工程と、成膜室内の圧力を第2の圧力に設定した状態で絶縁膜32bを更に成長する工程とを有している。

【選択図】 図3

出願人履歴情報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号

氏 名 富士通株式会社

出願人履歴情報

識別番号 [596180124]

1. 変更年月日 1996年12月13日

[変更理由] 新規登録

住 所 福島県会津若松市門田町工業団地6番
氏 名 富士通エイ・エム・ディ・セミコンダクタ株式会社